

Semiconductor testing apparatus for testing semiconductor device including built in self test circuit

Patent Number: US6311300
 Publication date: 2001-10-30
 Inventor(s): OMURA RYUJI (JP); SHIBAYAMA MARI (JP); SUGIURA KAZUSHI (JP)
 Applicant(s): RYODEN SEMICONDUCTOR SYST ENG (US); MITSUBISHI ELECTRIC CORP (US)
 Requested Patent: DE19853069
 Application Number: US19980196438 19981120
 Priority Number(s): JP19980168450 19980616
 IPC Classification: H04B17/00
 EC Classification: G01R31/3187; G01R31/319S4; G01R31/3193S
 Equivalents: GB2338564, JP2000011691

Abstract

A program power supply of a tester applies a power supply voltage to an IC to be tested. A pattern generator applies a clock signal and a command signal to a BIST circuit of IC. BIST circuit tests memory IC unit and logic IC unit and serially outputs data indicative of test result to a converter of tester. Converter converts the applied serial data to parallel data and applies to computer. As compared with the prior art in which address signal and control signal are applied to IC to be tested, the number of pins necessary for the test can be reduced. Therefore, cost of the test is reduced and efficiency of the test is improved

Data supplied from the esp@cenet database - I2

Description

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a semiconductor testing apparatus, and more particularly, for a semiconductor testing apparatus for testing a semiconductor device including a built in self test circuit.

2. Description of the Background Art

In a conventional IC test, a number of test channels are provided and each channel, test signals each having a prescribed test waveform in accordance with the condition of testing, that is, a test signal having a prescribed voltage level and a prescribed timing of waveform change is formed, and the test signals are applied to respective corresponding pins of an IC to be tested, whereby electrical characteristic of the IC has been tested.

FIG. 8 is a block diagram showing the structure of a conventional IC tester 50. Referring to FIG. 8, a test flow or a test condition is programmed in accordance with test specification, in an IC tester control CPU 51 of IC tester 50. IC tester control CPU 51 applies a control signal to various circuits of IC tester 50 and sets data of various circuits, through control signal transfer bus 52 as needed. A reference signal generating circuit 53 generates an operational reference signal of IC tester 50. The reference signal serves as a reference of the period of changing condition of the test waveform (hereinafter referred to as test period). The reference signal is applied to a timing generator 55 and a program power supply 60.

Timing generator 55 controls timing of change of the test waveform and so on. More specifically, before each test, IC tester control CPU 51 sets data of test condition, and applies necessary data for every test period to timing generator 55 through an internal address bus 54. Timing generator 55 programmably generates the test period set by IC tester control CPU 51.

A test pattern storing circuit 56 determines a pattern of test waveform for each test period. More specifically, IC tester control CPU 51 stores a test pattern at a prescribed address of test pattern storing circuit 56 before test, and during testing, applies an address signal to test pattern storing circuit 56. In response to the applied address signal, test

THIS PAGE BLANK (USPTO)

pattern storing circuit 56 outputs the test pattern.

Test pattern generator 57 for function test is formed of a high speed microcomputer, and generates address and data and controls clocks, in accordance with a microprogram. A format circuit 58 synthesizes a timing signal applied from timing generator 55, a test pattern applied from test pattern storing circuit 56 and logic data applied from test pattern generator 57 for function test, for each test period, and generates a test waveform. Timing generator 55, test pattern storing circuit 56 and format circuit 58 constitute a waveform generating circuit 59.

Program power supply 60 includes a bias power supply for supplying a power supply voltage to IC 70 to be tested, and a data level power supply for determining levels of a driver and a comparator of pin electronics 61. Pin electronics 61 includes a driver, a comparator and a group of relays connecting these to IC 70 to be tested, and is coupled to IC 70 to be tested through a contact terminal 71. The driver generates a test signal to be applied to IC 70 to be tested based on the test waveform applied from waveform forming circuit 59 and a voltage value applied from program power supply 60. The comparator determines whether an output waveform of IC 70 under test is normal or not, based on the timing signal applied from timing generator 55 and the voltage value applied from program power supply 60. The result of determination is applied to a defective address storing circuit 62 through test pattern generator 57 for function test.

Defective address storing circuit 62 stores information of defective address of tested IC 70 applied from test pattern generator 57 for function test. A defect analyzing circuit 63 performs redundancy analysis of tested IC 70, for example, based on the information of defective address applied from defective address storing circuit 62.

In this manner, conventional IC tester 50 directly tested electrical characteristics of IC 70 through various pins of IC 70 to be tested. IC tester 50 must have channels, that is, waveform forming circuits 59, pin electronics drivers and so on, the number of which corresponds to the number of pins of IC 70 to be tested, and therefore, as an IC comes to have larger number of pins, the number of test channels is also increased, resulting in high cost of the tester. Further, the number of ICs which can be tested at one time by one tester is reduced, lowering efficiency of testing.

SUMMARY OF THE INVENTION

Therefore, an object of the present invention is to provide a semiconductor testing apparatus which attains improved test efficiency and lowers cost of testing.

Briefly stated, according to the present invention, a built in self test circuit is provided in a semiconductor device having a memory circuit, and in the semiconductor test apparatus, a power supply for applying a power supply voltage to the semiconductor device, an instructing circuit for instructing execution of a test and output of data indicative of the test result to the self test circuit, and a receiving circuit for receiving data output from the self test circuit are provided. Therefore, as compared with the prior art in which an address signal and a control signal are applied to the semiconductor device, the number of terminals for signal output and the number of pattern generators can be reduced, the number of semiconductor devices which can be tested at one time per one semiconductor testing apparatus is increased, and therefore the cost of testing is reduced and efficiency of testing is improved.

Preferably, the semiconductor device further includes a logic circuit, and the built in self test circuit tests at least a part of the logic circuit. Here, the cost of testing a semiconductor device including a memory circuit and a logic circuit can be reduced and test efficiency can be improved.

More preferably, a test circuit for testing that portion of the logic circuit which is not tested by the built in self test circuit is further provided. Here, burden on the built in self test circuit can be reduced, and the structure of the built in self test circuit is simplified.

Preferably, a clock generating circuit for applying a clock signal for synchronization between the semiconductor test apparatus and the built in self test circuit is further provided. Accordingly, synchronization between the semiconductor device and the semiconductor testing apparatus can readily and surely be attained.

Preferably, the built in self test circuit outputs data n bits by n bits, and the receiving circuit includes a serial/parallel converting circuit for generating, from the data output n bits by n bits from the built in self test circuit, parallel data of predetermined $n \times \text{times}$ bits, and storing apparatus for storing the parallel data generated by the serial/parallel converting circuit. When the value n is small, only a small number of data output pins is necessary, and if the value n is large, the time for data output is reduced.

Preferably, the semiconductor testing apparatus tests a plurality of semiconductor devices at one time, the serial/parallel converting circuit of the receiving circuit is provided corresponding to each of the semiconductor devices, and the receiving circuit further includes a buffer circuit for temporarily storing the plurality of parallel data generated by the plurality of serial/parallel converting circuits and successively applying each of the plurality of parallel data to the storing apparatus. Accordingly, while the buffer circuit is outputting data, the next data can be applied to the serial/parallel converting circuit, and therefore the time for testing can be reduced.

Preferably, the semiconductor testing apparatus tests a plurality of semiconductor devices simultaneously, the

THIS PAGE BLANK (USPTO)

serial/parallel converting circuit of the receiving circuit is provided corresponding to each semiconductor device, and the receiving circuit further includes a switching circuit for successively applying each of the plurality of parallel data generated by the plurality of serial/parallel converting circuits to the storing circuit. Here, the plurality of semiconductor devices can be tested by a simple structure. Further, the serial/parallel converting circuit is provided for each semiconductor device, asynchronous different data of respective ones of the semiconductor devices can be accommodated even when the data are input simultaneously.

The foregoing and other objects, features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a block diagram showing a principle of the method of testing an IC in accordance with a first embodiment of the present invention.

FIGS. 2A to 2G are timing charts showing the operations of the IC to be tested and IC tester shown in FIG. 1.

FIG. 3 is a block diagram showing, more specifically, the method of testing the IC described with reference to FIG. 1.

FIG. 4 is a block diagram showing a structure of a serial/parallel converter for output signals shown in FIG. 3.

FIG. 5 is another block diagram showing a structure of the serial/parallel converter for output signals shown in FIG. 3.

FIG. 6 is a block diagram showing principle of the method of testing ICs in accordance with a second embodiment of the present invention.

FIG. 7 is a block diagram showing, more specifically, the method of testing ICs described with reference to FIG. 6.

FIG. 8 is a block diagram showing the conventional method of testing ICs.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

First Embodiment

FIG. 1 is a block diagram showing the principle of the method of testing an IC in accordance with the first embodiment of the present invention. Referring to FIG. 1, an IC1 to be tested includes a memory IC unit 2, a logic IC unit 3, a BIST circuit (Built In Self Test circuit) 4 and pins P0 to P3, P4.1 to P4.n (where n is an integer not smaller than 1), while an IC tester 10 includes a computer 11, a program power supply 12, a pattern generator for input signals and a serial/parallel converter 14 for output signals.

Computer 11 controls program power supply 12, pattern generator 13 for input signals and serial/parallel converter 14 for output signals, and stores test and analysis results applied from serial/parallel converter 14 for output signals. Program power supply 12 applies a power supply voltage Vcc to a power supply pin P1 of IC1 to be tested. Pattern generator 13 for input signals applies a clock signal CLK for attaining synchronization between IC1 to be tested and tester 10, and a command signal CMD for instructing execution of test and output of data indicative of test result to BIST circuit 4 of IC1 to be tested, through pins P2 and P3, respectively.

Memory IC unit 2 includes a plurality of memory cells 2 arranged in a matrix of rows and columns, a decoder for selecting any of the plurality of memory cells in accordance with an address signal of 16 bits, for example, and a data input/output circuit for inputting/outputting data to and from the memory cell selected by the decoder and the outside. When an address signal and data are applied and the data is written to the memory cell, thereafter the same address signal is applied to read data from the memory cell, and the read data does not match the written data, the memory cell is determined to be defective. The defective memory cell is replaced by a spare memory cell. When a data is applied to logic IC unit 3 and the output data is not the expected data, logic IC unit 3 is determined to be defective.

BIST circuit 4 generates a test pattern and the like in accordance with the signals CLK and CMD, applies the test pattern and the like to memory IC unit 2 and logic IC unit 3, and tests and analyzes the units 2 and 3. Further, BIST circuit 4 applies data indicative of the test result (for example, address of the defective memory cell) serially 1 bit by 1 bit, on the basis of 16 bit unit, to serial/parallel converter 14 for output signals of IC tester 10, through pins P4.1 to P4.n (where n=1, for example). Pin P0 is for inputting an address signal, a control signal or the like.

Serial/parallel converter 14 for output signals of IC tester 10 converts 16 bits of serial data applied from BIST circuit 4 to parallel data of 16 bits, and applies to computer 11. Computer 11 stores the data applied from serial/parallel converter 14 for output signals.

FIGS. 2A to 2G are time charts showing the operation of IC1 to be tested and IC tester 10, shown in FIG. 1.

THIS PAGE BLANK (USPTO)

Referring to FIGS. 2A to 2G, clock signal CLK and command signal CMD are applied from pattern generator 13 for input signals of IC tester 10 to BIST circuit 4 of IC1 to be tested, and thereby execution of test and analysis is instructed to BIST circuit 4. In response, BIST circuit 4, logic IC unit 3 and memory IC unit 2 of IC1 operate, and thus test and analysis are executed. Thereafter, by the clock signal CLK and the command signal CMD, output of data indicative of the result of testing and analysis is instructed to BIST circuit 4. In response, BIST circuit 4 serially outputs data D1, D2, . . . D16 indicative of the results of testing and analysis, to serial/parallel converter 14 for output signals of IC tester 10 through pin 4.1, in synchronization with clock signal CLK.

Serial/parallel converter 14 for output signals takes each of serial data D1, D2, . . . D16 in accordance with a strobe signal STB applied from pattern generator 13 for input signals, for example, converts the data to parallel data D1 to D16, and applies the converted data to computer 11. Computer 11 stores the data applied from serial/parallel converter 14 for output signals. The data is displayed on a monitor or printed out by a printer, as needed.

When BIST circuit 4 outputs data indicative of the test result several bits by several bits (for example, 4 bits by 4 bits), data output period can be reduced to 4 cycles, while the necessary number of pins P4 is increased to 4 ($n=4$).

FIG. 3 is a block diagram showing, more specifically, the test method shown in FIG. 1. Referring to FIG. 3, actually, a plurality of ICs 1 are tested at one time. An IC tester 10' includes an output terminal T1 for outputting power supply voltage Vcc, an output terminal T2 for outputting clock signal CLK and an output terminal T3 for outputting command signal CMD. These terminals T1 to T3 are provided commonly to the plurality of ICs 1 to be tested.

Further, IC tester 10' includes input terminals T4.1 to T4.n for receiving serial data output from ICs 1 which are being tested. Terminals T4.1 to T4.n are provided in the same number of sets as the number of IC1 which can be tested at one time.

Serial/parallel converter 14' for output signals of IC tester 10' receives in parallel a plurality of serial data applied from the plurality of ICs 1 under test, converts the serial data applied from each of the ICs 1 under test to parallel data, and successively applies each of the parallel data of the plurality of ICs 1 under test to computer 11.

FIG. 4 is a block diagram showing in greater detail IC tester 10' of FIG. 3. Referring to FIG. 4, serial/parallel converter 14' for output signals of IC tester 10' includes a plurality of serial/parallel converters 14 for output signals and a buffer circuit 15. The plurality of serial/parallel converters 14 for output signals are provided corresponding to a plurality of sets of input terminals T4.1 to T4.n, respectively. Each of the serial/parallel converters 14 for output signals converts the serial data input to the corresponding input terminals T4.1 to T4.n to parallel data and applies the parallel data to buffer circuit 15.

Buffer circuit 15 is controlled by computer 11, temporarily stores the parallel data applied from the plurality of serial/parallel converters 14 for output signals, and successively outputs each of the plurality of parallel data to computer 11. While buffer circuit 15 is outputting the parallel data to computer 11, the next serial data are input to serial/parallel converters 14 for output signals. Thus the time for testing is reduced.

FIG. 5 is another block diagram showing in greater detail IC tester 10' of FIG. 3. Referring to FIG. 5, serial/parallel converter 14' for output signals of IC tester 10' includes a plurality of sets of serial/parallel converters 16.1 to 16.n for output signals, and a switching circuit 17. The sets of serial/parallel converters 16.1 to 16.n for output signals are provided corresponding to a plurality of sets of input terminals T4.1 to T4.n, respectively. Serial/parallel converters 16.1 to 16.n for output signals of each set are provided corresponding to input terminals T4.1 to T4.n of the corresponding set. Serial/parallel converter 16.n for output signals converts serial data input through the corresponding input terminal 4.n to parallel data and latches the parallel data. One set of serial/parallel converters 16.1 to 16.n for output signals generate parallel data of the corresponding IC1 under test.

Switching circuit 17 is controlled by computer 11, and successively supplies each of the plurality of parallel data applied from serial/parallel converters 16.1 to 16.n for output signals of the plural sets to computer 11.

In the present embodiment, the pattern generator and the terminals for outputting address signals and control signals are unnecessary, and therefore the number of terminals and the pattern generator per one IC to be tested can be reduced. Therefore, the number of ICs which can be tested at one time per one tester can be increased, whereby cost of the test is reduced while efficiency of the test is improved.

Second Embodiment

FIG. 6 is a block diagram showing the principal of testing ICs in accordance with the second embodiment of the present invention, which is comparable to FIG. 1.

Referring to FIG. 6, the method of testing differs from the method shown in FIG. 1 in that at least part of logic IC unit 3 of IC21 to be tested is tested by a so called scan path method. IC21 to be tested is newly provided with pins P5 and P6 for a scan in signal SI and a scan out signal SO, respectively. A serial pattern generator 31 is newly provided in IC

THIS PAGE BLANK (USPTO)

tester 30.

Serial pattern generator 31 is controlled by computer 11, applies scan in signal SI to logic IC unit 3 through pin P5, receives scan out signal SO output from logic IC unit 3, determines whether logic IC unit 3 is defective or not based on the signals SI and SO, and applies the result of determination to computer 11. Other structure and operation are the same as those in the method of testing shown in FIG. 1, and therefore description thereof is not repeated.

FIG. 7 shows in greater detail the method of testing shown in FIG. 6, and it corresponds to FIG. 3. Tester 30' has an output terminal T5 for outputting scan in signal SI, and an input terminal T6 for receiving scan out signal. Terminal T5 is provided common to a plurality of ICs 21 to be tested, while terminal T6 is provided in the same number as the number of ICs 21 which can be tested at one time.

Serial pattern generator 31' applies scan in signal SI to the plurality of ICs 21 through terminal T5, and receives scan out signal SO from the plurality of ICs 21 under test through the plurality of terminals T6, determines whether the plurality of ICs 21 under test are defective or not, and applies data indicative of the result of determination to computer 11.

In the present embodiment, at least part of logic IC unit 3 of ICs 21 to be tested is tested by tester 30' in accordance with the scan path method, and therefore burden on BIST circuit 4 of ICs 21 to be tested can be reduced, and therefore the structure of BIST circuit 4 can be simplified.

In the present embodiment, at least part of logic IC unit 3 is tested in accordance with the scan path method. It goes without saying that the logic IC unit 3 as a whole can be tested in accordance with the scan path method. In that case, the structure of BIST circuit 4 can further be simplified.

Although the present invention has been described and illustrated in detail, it is clearly understood that the same is by way of illustration and example only and is not to be taken by way of limitation, the spirit and scope of the present invention being limited only by the terms of the appended claims.

Data supplied from the esp@cenet database - I2

Claims

What is claimed is:

1. A semiconductor testing apparatus for testing a semiconductor device including a memory circuit and a built in self test circuit for testing said memory circuit, comprising:
a power supply for applying a power supply voltage to said semiconductor device;
an instructing circuit for instructing execution of test and output of data indicative of test result to said built in self test circuit; and
receiving circuit receiving data output from said built in self test circuit.
2. The semiconductor testing apparatus according to claim 1, wherein
said semiconductor device further includes a logic circuit, and
said built in self test circuit tests at least part of said logic circuit.
3. The semiconductor testing apparatus according to claim 2, further comprising
a test circuit for testing that portion of said logic circuit which is not tested by said built in self test circuit.
4. The semiconductor testing apparatus according to claim 1, further comprising
a clock generating circuit for applying a clock signal for attaining synchronization between said semiconductor testing apparatus and said semiconductor device to said built in self test circuit.
5. The semiconductor testing apparatus according to claim 1, wherein said built in self test circuit outputs said data n bits by n bits (where n is an integer not smaller than 1);
said receiving circuit includes
a serial/parallel converting circuit for generating parallel data of predetermined n.times.m bits (where m is an integer not smaller than 2) from the data output n bits by n bits from said built in self test circuit, and
storing device storing the parallel data generated by said serial/parallel converting circuit.
6. The semiconductor testing apparatus according to claim 5, wherein
a plurality of semiconductor devices are tested simultaneously by said semiconductor testing apparatus,
said serial/parallel converting circuit of said receiving circuit is provided corresponding to respective semiconductor devices; and
said receiving circuit further includes a buffer circuit temporarily storing a plurality of parallel data generated by the plurality of said serial/parallel converting circuits and successively applies each of said plurality of parallel data to said

THIS PAGE BLANK (USPTO)

storing device.

7. The semiconductor testing apparatus according to claim 5, wherein a plurality of semiconductor devices are tested simultaneously by said semiconductor testing apparatus; said serial/parallel converting circuit of said receiving circuit is provided corresponding to respective semiconductor devices; and said receiving circuit further includes a switching circuit for successively applying each of the plurality of parallel data generated by the plurality of said serial/parallel converting circuits to said storing device.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)



①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 198 53 069 A 1**

⑤ Int. Cl.⁷:
G 01 R 31/3187
G 11 C 29/00

②1 Aktenzeichen: 198 53 069.2
②2 Anmeldetag: 17. 11. 1998
④3 Offenlegungstag: 5. 1. 2000

DE 198 53 069 A 1

③0 Unionspriorität:
10-168450 16. 06. 1998 JP

⑦1 Anmelder:
Ryoden Semiconductor System Engineering Corp.,
Itami, Hyogo, JP; Mitsubishi Denki K.K.,
Tokio/Tokyo, JP

⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

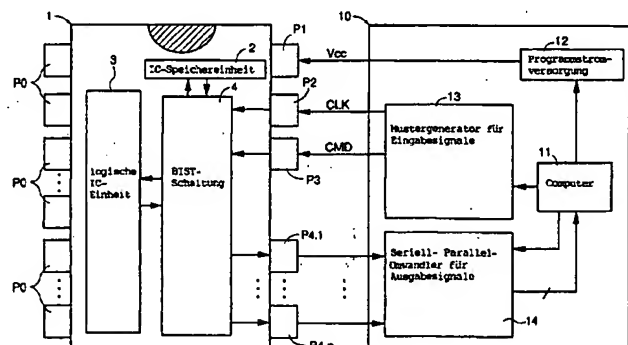
⑦2 Erfinder:
Omura, Ryuji, Tokio/Tokyo, JP; Sugiura, Kazushi,
Itami, Hyogo, JP; Shibayama, Mari, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleiterprüfungsgerät

⑤7 Eine Programmstromversorgung (12) eines Prüfers (10) legt eine Stromversorgungsspannung (Vcc) an eine zu prüfende IC (1) an. Ein Mustergenerator (13) legt ein Taktsignal (CLK) und ein Anweisungssignal (CMD) an eine BIST-Schaltung (4) der IC (1) an. Die BIST-Schaltung (4) prüft die IC-Speichereinheit (2) und die logische IC-Einheit (3) und gibt seriell einen Datenwert, der bezeichnend für ein Prüfungsergebnis ist, an einen Umwandler (14) des Prüfers (10) aus. Der Umwandler (14) wandelt den angelegten seriellen Datenwert in einen parallelen Datenwert um und legt in an den Computer (11) an. Verglichen mit der der Anmelderin bekannten Technik, bei der das Adressensignal und das Steuersignal an die zu prüfende IC angelegt werden, kann die Zahl der für die Prüfung notwendigen Anschlußstifte reduziert werden. Daher werden die Kosten für die Prüfung reduziert, und die Effizienz der Prüfung wird verbessert.



DE 198 53 069 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Halbleiterprüfungsgerät.

Speziell betrifft sie ein Halbleiterprüfungsgerät zum Prüfen einer Halbleitervorrichtung, die eine eingebaute Eigenprüfschaltung enthält.

Bei einer der Anmelderin bekannten IC-Prüfung (Prüfung einer integrierten Schaltung) sind eine Zahl von Prüfkanälen vorgesehen und für jeden Kanal werden Prüfsignale, die jeweils eine vorbestimmte Prüfwellenform entsprechend der Prüfungsbedingung aufweisen, d. h. ein Prüfsignal mit einem vorbestimmten Spannungspegel und einem vorbestimmten Timing der Wellenformänderung, gebildet, und die Prüfsignale werden an die entsprechenden Anschlüsse der zu prüfenden IC (integrierten Schaltung) angelegt, wodurch die elektrische Eigenschaft der IC getestet wird.

Fig. 8 ist ein Blockschaltbild, das die Struktur eines der Anmelderin bekannten IC-Prüfers 50 zeigt. Mit Bezug zu Fig. 8 wird ein Prüfablauf oder eine Prüfbedingung entsprechend der Prüfspezifikation in einer IC-Prüfer-Steuer-CPU 51 des IC-Prüfers 50 programmiert. Die IC-Prüfer-Steuer-CPU 51 legt über einen Steuersignalübertragungsbus 52 ein Steuersignal an verschiedene Schaltungen des IC-Prüfers 50 an und stellt Daten von verschiedenen Schaltungen ein, wie es benötigt wird. Eine Referenzsignalerzeugungsschaltung 53 erzeugt ein Betriebsreferenzsignal des IC-Prüfers 50. Das Referenzsignal dient als eine Referenz der Periode der Änderung der Bedingung der Prüfwellenform (im folgenden als Prüfperiode bezeichnet). Das Referenzsignal wird an einen Timing-Generator 55 und eine Programmstromversorgung 60 angelegt.

Der Timing-Generator 55 steuert das Timing der Änderung der Prüfwellenform usw. Speziell stellt vor jeder Prüfung die IC-Prüfer-Steuer-CPU 51 Daten der Prüfbedingung ein und legt notwendige Daten für jede Prüfperiode über einen internen Adressenbus 54 an den Timing-Generator 55 an. Der Timing-Generator 55 erzeugt programmierbar die Prüfperiode, die durch die IC-Prüfer-Steuer-CPU 51 eingestellt ist.

Eine Prüfmusterspeicherschaltung 56 bestimmt ein Muster der Prüfwellenform für jede Prüfperiode. Genauer speichert die IC-Prüfer-Steuer-CPU 51 ein Prüfmuster an einer vorbestimmten Adresse der Prüfmusterspeicherschaltung 56 vor der Prüfung und legt während der Prüfung ein Adressensignal an die Prüfmusterspeicherschaltung 56 an. Als Reaktion auf das angelegte Adressensignal gibt die Prüfmusterspeicherschaltung 56 das Prüfmuster aus.

Ein Prüfmustergenerator 57 für eine Funktionsprüfung ist aus einem Hochgeschwindigkeitsmikrocomputer gebildet und erzeugt entsprechend einem Mikroprogramm eine Adressen und Daten und Steuertakte. Eine Formatschaltung 58 vereinigt für jede Prüfperiode ein von dem Timing-Generator 55 angelegtes Timingsignal, ein von der Prüfmusterspeicherschaltung 56 angelegtes Prüfmuster und einen von dem Prüfmustergenerator 57 angelegten logischen Datenwert für die Funktionsprüfung und erzeugt eine Prüfwellenform. Der Timing-Generator 55, die Prüfmusterspeicherschaltung 56 und die Formatschaltung 58 bilden eine Wellenform erzeugungsschaltung 59.

Die Programmstromversorgung 60 enthält eine Vorspannungsstromversorgung zum Versorgen der zu prüfenden IC 70 mit einer Stromversorgungsspannung und eine Datenpegelstromversorgung zum Bestimmen von Pegeln eines Treibers und eines Vergleichers einer Anschlußstiftelektronik 61. Die Anschlußstiftelektronik 61 enthält einen Treiber, einen Vergleichler und eine Gruppe von Relais, die diese mit der zu prüfenden IC 70 verbinden, und ist mit der zu prüfenden

den IC 70 über einen Kontaktanschluß 71 verbunden. Der Treiber erzeugt basierend auf der von der Wellenformbildungsschaltung 59 angelegten Prüfwellenform und auf dem von der Programmstromversorgung 60 angelegten Spannungswert ein an die zu prüfende IC 70 anzulegendes Prüfsignal. Der Vergleichler bestimmt basierend auf dem von dem Timing-Generator 55 angelegten Timingsignal und dem von der Programmstromversorgung 60 angelegten Spannungswert ob eine Ausgabewellenform der IC 70, die geprüft wird, normal ist oder nicht. Das Ergebnis der Bestimmung wird über den Prüfmustergenerator 57 für die Funktionsprüfung an eine Fehleradressenspeicherschaltung 62 angelegt.

Die Fehleradressenspeicherschaltung 62 speichert Informationen der fehlerhaften Adresse der geprüften IC 70, die von dem Prüfmustergenerator 57 angelegt sind; für die Funktionsprüfung. Eine Fehleranalyseschaltung 63 führt zum Beispiel basierend auf der Information der fehlerhaften Adresse, die von der Fehleradressenspeicherschaltung 62 angelegt ist, eine Redundanzanalyse der geprüften IC 70 durch.

In dieser Art prüft der der Anmelderin bekannte IC-Prüfer 50 direkt die elektrischen Eigenschaften der IC 70 über verschiedene Anschlußstifte der zu prüfenden IC 70. Der IC-Prüfer 50 muß Kanäle, d. h. Wellenformbildungsschaltungen 59, Anschlußstiftelektroniktreiber, usw., deren Zahl der Zahl der Anschlußstifte der zu prüfenden IC 70 entspricht, aufweisen, und daher wird, wenn die IC eine größere Zahl von Anschlußstiften aufweist, ebenfalls die Zahl der Prüfkanäle erhöht, was in hohen Kosten für den Prüfer resultiert. Weiterhin wird die Zahl der IC, die durch einen Prüfer zu einer Zeit geprüft werden können, reduziert, wodurch die Effizienz der Prüfung verringert wird.

Es ist Aufgabe der vorliegenden Erfindung, ein Halbleiterprüfungsgerät vorzusehen, das eine verbesserte Prüfeffizienz und niedrigere Prüfkosten erreicht.

Die Aufgabe wird durch das Halbleiterprüfungsgerät des Anspruches 1 gelöst.

Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Kurz gesagt ist entsprechend der vorliegenden Erfindung eine eingebaute Eigenprüfschaltung in einer Halbleitervorrichtung mit einer Speicherschaltung vorgesehen, und in dem Halbleiterprüfungsgerät sind eine Stromversorgung zum Anlegen einer Stromversorgungsspannung an die Halbleitervorrichtung, eine Anweisungsschaltung zum Anweisen des Ausführens eines Prüfens und des Ausgebens eines Datenwertes, der für das Prüfergebnis bezeichnet ist, an die Eigenprüfschaltung und eine Empfangsschaltung zum Empfangen einer Datenwertausgabe von der Eigenprüfschaltung vorgesehen. Daher kann verglichen mit der der Anmelderin bekannten Technik, bei der ein Adressensignal und ein Steuersignal an die Halbleitervorrichtung angelegt werden, die Zahl der Anschlüsse für die Signalausgabe und die Zahl der Mustergeneratoren reduziert werden, kann die Zahl der Halbleitervorrichtung, die zu einer Zeit pro einem Halbleiterprüfungsgerät geprüft werden können, erhöht werden, und daher werden die Prüfkosten reduziert und die Prüfeffizienz wird verbessert.

Bevorzugt enthält die Halbleitervorrichtung weiterhin eine Logikschaltung und die eingebaute Eigenprüfschaltung prüft zumindest ein Teil der Logikschaltung. Hier können die Kosten des Prüfens einer Halbleitervorrichtung, die eine Speicherschaltung und eine Logikschaltung enthält, reduziert werden und kann die Prüfeffizienz verbessert werden.

Bevorzugter ist eine Prüfschaltung zum Prüfen des Abschnittes der Logikschaltung, die nicht durch die eingebaute Eigenprüfschaltung geprüft wird, weiter vorgesehen. Hier

kann die Belastung der eingebauten Eigenprüfschaltung reduziert werden und die Struktur der eingebauten Eigenprüfschaltung wird vereinfacht.

Bevorzugt ist weiterhin eine Takterzeugungsschaltung zum Anlegen eines Taktsignales zum Synchronisieren zwischen dem Halbleiterprüfungsgerät und der eingebauten Eigenprüfschaltung vorgesehen. Folglich kann die Synchronisierung zwischen der Halbleitervorrichtung und dem Halbleiterprüfungsgerät schnell und sicher erreicht werden.

Bevorzugt gibt die eingebaute Eigenprüfschaltung den Datenwert n Bits um n Bits aus und die Empfangsschaltung enthält eine Seriell-Parallel-Umwandlungsschaltung zum Erzeugen eines parallelen Datenwertes von vorbestimmten $n \cdot m$ Bits von dem Datenwert, der mit n Bits um n Bits von der eingebauten Eigenprüfschaltung ausgegeben wird, und eine Speicherschaltung zum Speichern des parallelen Datenwertes, der durch die Seriell-Parallel-Umwandlungsschaltung erzeugt ist. Wenn der Wert n klein ist, ist nur eine kleine Zahl von Datenwertausgabeeinschlüssen notwendig, und wenn der Wert n groß ist, wird die Zeit für die Datenwertausgabe reduziert.

Bevorzugt prüft das Halbleiterprüfungsgerät eine Mehrzahl von Halbleitervorrichtungen zu einer Zeit, ist die Seriell-Parallel-Umwandlungsschaltung der Empfangsschaltung entsprechend zu jeder der Halbleitervorrichtungen vorgesehen und enthält die Empfangsschaltung weiterhin eine Pufferschaltung zum vorübergehenden Speichern der Mehrzahl von parallelen Datenwerten, die durch die Mehrzahl von Seriell-Parallel-Umwandlungsschaltungen erzeugt sind, und zum sukzessiven Anlegen von jedem der parallelen Datenwerten an das Speichergerät. Folglich kann, während die Pufferschaltung den Datenwert ausgibt, der nächste Datenwert an die Seriell-Parallel-Umwandlungsschaltung angelegt werden, und daher kann die Zeit zum Prüfen reduziert werden.

Bevorzugt prüft das Halbleiterprüfungsgerät eine Mehrzahl von Halbleitervorrichtungen gleichzeitig, ist die Seriell-Parallel-Umwandlungsschaltung der Empfangsschaltung entsprechend zu jeder Halbleitervorrichtung vorgesehen und enthält die Empfangsschaltung weiterhin eine Umschalterschaltung zum sukzessiven Anlegen von jedem der Mehrzahl von parallelen Datenwerten, die durch die Mehrzahl von Seriell-Parallel-Umwandlungsschaltungen erzeugt sind, an die Speicherschaltung. Hier kann die Mehrzahl von Halbleitervorrichtungen durch eine einfache Struktur getestet werden. Weiterhin ist die Seriell-Parallel-Umwandlungsschaltung für jede Halbleitervorrichtung vorgesehen und können asynchrone unterschiedliche Datenwerte von entsprechenden der Halbleitervorrichtungen untergebracht werden, sogar wenn die Datenwerte gleichzeitig eingegeben werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aufgrund der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 ist ein Blockschaltbild, das ein Prinzip des Verfahrens des Prüfens einer IC entsprechend einem ersten Ausführungsbeispiel zeigt,

Fig. 2A-2G sind Timing-Darstellungen, die den Betrieb der zu prüfenden IC und des IC-Prüfers, die in Fig. 1 gezeigt sind, zeigen,

Fig. 3 ist ein Blockschaltbild, das speziell das Verfahren des Prüfens der IC, das mit Bezug zu Fig. 1 beschrieben wurde, zeigt,

Fig. 4 ist ein Blockschaltbild, das eine Struktur eines Seriell-Parallel-Umwandlers für Ausgabesignale, der in Fig. 3 gezeigt ist, zeigt,

Fig. 5 ist ein anderes Blockschaltbild, das eine Struktur des in Fig. 3 gezeigten Seriell-Parallel-Umwandlers für

Ausgabesignale zeigt,

Fig. 6 ist ein Blockschaltbild, das das Prinzip des Verfahrens des Prüfens von IC entsprechend einem zweiten Ausführungsbeispiel zeigt,

Fig. 7 ist ein Blockschaltbild, das speziell das Verfahren des Prüfens von IC, das mit Bezug zu Fig. 6 beschrieben ist, zeigt, und

Fig. 8 ist ein Blockschaltbild, das das der Anmelderin bekannte Verfahren zum Prüfen von IC zeigt.

Erstes Ausführungsbeispiel

Fig. 1 ist ein Blockschaltbild, das das Prinzip des Verfahrens des Prüfens einer IC entsprechend dem ersten Ausführungsbeispiel zeigt. Wie in Fig. 1 gezeigt ist, enthält eine zu prüfende IC 1 (integrierte Schaltung) eine IC-Speichereinheit 2, eine logische IC-Einheit 3, eine BIST-Schaltung 4 (eingebaute Eigenprüfschaltung) und Anschlußstifte bzw. Anschlüsse P0-P3, P4.1-P4.n (wobei n eine ganze Zahl ist, die nicht kleiner als 1 ist), während ein IC-Prüfer 10 einen Computer 11, eine Programmstromversorgung 12, einen Mustergenerator 13 für Eingabesignale und einen Seriell-Parallel-Umwandler 14 für Ausgabesignale enthält.

Der Computer 11 steuert die Programmstromversorgung 12, den Mustergenerator 13 für Eingabesignale und den Seriell-Parallel-Umwandler 14 für Ausgabesignale und speichert von dem Seriell-Parallel-Umwandler 14 für Ausgabesignale angelegte Prüf- und Analyseergebnisse. Die Programmstromversorgung 12 legt eine Stromversorgungsspannung Vcc an einen Stromversorgungsanschlußstift P1 der zu prüfenden IC 1 an. Der Mustergenerator 13 für Eingabesignale legt entsprechend über die Anschlußstifte P2 und P3 ein Taktsignal CLK zum Erreichen einer Synchronisierung zwischen der zu prüfenden IC 1 und dem Prüfer 10 und ein Anweisungssignal CMD zum Anweisen eines Ausführens der Prüfung und einer Ausgabe von Daten, die bezeichnend für die zu prüfende IC 1 sind, an die BIST-Schaltung 4 an.

Die IC-Speichereinheit 2 enthält eine Mehrzahl von Speicherzellen 2, die in einer Matrix aus Zeilen und Spalten angeordnet sind, einen Dekoder zum Auswählen einer der Mehrzahl von Speicherzellen entsprechend einem Adressensignal von beispielsweise 16 Bits und eine Dateneingabe-/ausgabeschaltung zum Eingeben/Ausgeben von Daten zu und von der durch den Dekoder ausgewählten Speicherzelle und der Außenseite. Wenn ein Adressensignal und ein Datenwert angelegt werden und der Datenwert in die Speicherzelle eingeschrieben wird, wird danach die gleiche Adresse zum Lesen des Datenwertes von der Speicherzelle angelegt, und wenn der gelesene Datenwert mit dem eingeschriebenen Datenwert nicht übereinstimmt, wird die Speicherzelle als fehlerhaft bestimmt. Die fehlerhafte Speicherzelle wird durch eine Ersatzspeicherzelle ersetzt. Wenn ein Datenwert an die logische IC-Einheit 3 angelegt wird und der aus gegebene Datenwert nicht der erwartete Datenwert ist, wird die logische IC-Einheit 3 als fehlerhaft bestimmt.

Die BIST-Schaltung 4 erzeugt ein Prüfmuster und ähnliches entsprechend den Signalen CLK und CMD, legt das Prüfmuster und ähnliches an die IC-Speichereinheit 2 und die logische IC-Einheit 3 an und prüft und analysiert die Einheiten 2 und 3. Weiterhin legt die BIST-Schaltung 4 Daten, die bezeichnend für das Prüfergebnis sind (zum Beispiel die Adresse der fehlerhaften Speicherzelle), seriell 1 Bit für 1 Bit auf der Basis der 16-Bit-Einheit an den Seriell-Parallel-Umwandler 14 für Ausgabesignale des IC-Prüfers 10 über die Anschlußstifte P4.1-P4.n (wobei zum Beispiel $n=1$) an. Der Anschlußstift P0 ist zum Eingeben eines Adressensignals, eines Steuersignals oder ähnlichem.

Der Seriell-Parallel-Umwandler 14 für Ausgabesignale des IC-Prüfers 10 wandelt den seriellen Datenwert von 16 Bits, der von der BIST-Schaltung 4 angelegt ist, in einen parallelen Datenwert von 16 Bits und legt ihn an den Computer 11 an. Der Computer 11 speichert den von dem Seriell-Parallel-Umwandler 14 für Ausgabesignale angelegten Datenwert.

Fig. 2A-2G sind Zeitdarstellungen, die den Betrieb der zu prüfenden IC 1 und des IC-Prüfers 10, die in Fig. 1 gezeigt sind, zeigen.

Wie in Fig. 2A-2G gezeigt ist, werden das Taktsignal CLK und das Anweisungssignal CMD von dem Mustergenerator 13 für Eingabesignale des IC-Prüfers 10 an die BIST-Schaltung 4 der zu prüfenden IC 1 angelegt und dadurch wird die Ausführung der Prüfung und der Analyse der BIST-Schaltung 4 angewiesen. Als Reaktion arbeiten die BIST-Schaltung 4, die logische IC-Einheit 3 und die IC-Speichereinheit 4 der IC 1 und somit werden die Prüfung und die Analyse durchgeführt. Danach wird durch das Taktsignal CLK und das Anweisungssignal CMD die Ausgabe des Datenwertes bzw. der Daten, der bzw. die für das Ergebnis der Prüfung und der Analyse bezeichnend ist bzw. sind, der BIST-Schaltung 4 angewiesen. Als Ergebnis gibt die BIST-Schaltung 4 seriell die Daten D1, D2, . . . D16, die bezeichnend für die Ergebnisse der Prüfung und der Analyse sind, über den Anschlußstift 4.1 synchron mit dem Taktsignal CLK an den Seriell-Parallel-Umwandler 14 für Ausgabesignale des IC-Prüfers 10 aus.

Der Seriell-Parallel-Umwandler 14 für Ausgabesignale nimmt jeden der seriellen Datenwerte D1, D2, . . . D16 zum Beispiel entsprechend einem von dem Mustergenerator 13 für Eingabesignale angelegten Auslösesignal STB auf und wandelt die Datenwerte in einen parallelen Datenwert D1-D16 um und legt den umgewandelten Datenwert an den Computer 11 an. Der Computer 11 speichert den von dem Seriell-Parallel-Umwandler 14 für Ausgabesignale angelegten Datenwert. Der Datenwert wird auf einem Monitor angezeigt oder durch einen Drucker ausgedruckt, wie es benötigt wird.

Wenn die BIST-Schaltung 4 den Datenwert, der für das Prüfergebnis bezeichnend ist, einige Bits für einige Bits (zum Beispiel 4 Bits für 4 Bits) ausgibt, kann die Datenwertausgabe auf 4 Zyklen reduziert werden, während die notwendige Anzahl von Stiftanschlüssen P4 auf 4 erhöht wird (n=4).

Fig. 3 ist ein Blockschaltbild, das spezieller das Prüfverfahren, das in Fig. 1 gezeigt ist, zeigt. Wie in Fig. 3 gezeigt ist, werden tatsächlich eine Mehrzahl von IC 1 zu einer Zeit geprüft. Ein IC-Prüfer 10' enthält einen Ausgabeananschluß T1 zum Ausgeben einer Stromversorgungsspannung Vcc, einen Ausgabeananschluß T2 zum Ausgeben eines Taktsignales CLK und einen Ausgabeananschluß T3 zum Ausgeben eines Anweisungssignales CMD. Diese Anschlüsse T1-T3 sind gemeinsam für die Mehrzahl von zu prüfenden IC 1 vorgesehen.

Weiterhin enthält der IC-Prüfer 10' Eingabeananschlüsse T4.1 bis T4.n zum Empfangen einer seriellen Datenwertausgabe von den IC 1, die getestet werden. Die Anschlüsse T4.1 bis T4.n sind in der gleichen Zahl von Gruppen wie die Zahl der IC 1, die zu einer Zeit geprüft werden können, vorgesehen.

Der Seriell-Parallel-Umwandler 14' für Ausgabesignale des IC-Prüfers 10' empfängt parallel eine Mehrzahl von seriellen Datenwerten, die von der Mehrzahl von IC 1, die geprüft werden, angelegt werden, wandelt den seriellen Datenwert, der von jedem der IC 1, die geprüft werden, angelegt wird, in einen parallelen Datenwert um und gibt nacheinander jeden der parallelen Datenwerte der Mehrzahl von IC 1,

die geprüft werden, zu dem Computer 11.

Fig. 4 ist ein Blockschaltbild, das den IC-Prüfer 10' von Fig. 3 detaillierter zeigt. Wie in Fig. 4 gezeigt ist, enthält der Seriell-Parallel-Umwandler 14' für Ausgabesignale des IC-Prüfers 10' eine Mehrzahl von Seriell-Parallel-Umwandlern 14 für Ausgabesignale und eine Pufferschaltung 15. Die Mehrzahl von Seriell-Parallel-Umwandlern 14 für Ausgabesignale sind entsprechend gemäß einer Mehrzahl von Gruppen von Eingabeananschläüssen T4.1-T4.n vorgesehen. Jeder der Seriell-Parallel-Umwandler 14 für Ausgabesignale wandelt den an die entsprechenden Eingabeananschläüsse T4.1 bis T4.n angelegten seriellen Datenwerte in einen parallelen Datenwert um und legt den parallelen Datenwert an die Pufferschaltung 15 an.

Die Pufferschaltung 15 wird durch den Computer 11 gesteuert, speichert vorübergehend die von der Mehrzahl von Seriell-Parallel-Umwandlern 14 für Ausgabesignale angelegten parallelen Daten und gibt nacheinander jeden der Mehrzahl von parallelen Daten an den Computer 11 aus. Während die Pufferschaltung 15 den parallelen Datenwert an den Computer 11 ausgibt, werden die nächsten seriellen Datenwerte in die Seriell-Parallel-Umwandler 14 für Ausgabesignale eingegeben. Somit wird die Zeit zum Prüfen reduziert.

Fig. 5 ist ein anderes Blockschaltbild, das den IC-Prüfer 10' von Fig. 3 detaillierter zeigt. Wie in Fig. 5 gezeigt ist, enthält der Seriell-Parallel-Umwandler 14' für Ausgabesignale des IC-Prüfers 10' eine Mehrzahl von Gruppen von Seriell-Parallel-Umwandlern 16.1 bis 16.n für Ausgabesignale und eine Umschalterschaltung 17. Die Gruppen von Seriell-Parallel-Umwandlern 16.1 bis 16.n für Ausgabesignale sind entsprechend gemäß einer Mehrzahl von Gruppen von Eingabeananschläüssen T4.1 bis T4.n vorgesehen. Die Seriell-Parallel-Umwandler 16.1 bis 16.n für Ausgabesignale von jeder Gruppe sind entsprechend den Eingabeananschläüssen T4.1 bis T4.n der entsprechenden Gruppe vorgesehen. Der Seriell-/Parallelumwandler 16.n für Ausgabesignale wandelt einen seriellen Datenwert, der über den entsprechenden Eingabeananschluß T4.n eingegeben ist, in einen parallelen Datenwert um und hält den parallelen Datenwert. Eine Gruppe der Seriell-Parallel-Umwandler 16.1 bis 16.n für Ausgabesignale erzeugt einen parallelen Datenwert der entsprechenden IC 1, die geprüft wird.

Die Umschalterschaltung 17 wird durch den Computer 11 gesteuert und liefert nacheinander jeden der Mehrzahl von parallelen Datenwerten, die von den Seriell-Parallel-Umwandlern 16.1 bis 16.n für Ausgabesignale der Mehrzahl von Gruppen angelegt sind, zu dem Computer 11.

In dem vorliegenden Ausführungsbeispiel sind der Mustergenerator und die Anschlüsse zum Ausgeben von Adressensignalen und Steuersignalen nicht notwendig und daher kann die Zahl der Anschlüsse und der Mustergenerator für eine IC, die zu prüfen ist, reduziert werden. Daher kann die Zahl der IC, die zu einer Zeit pro einem Prüfer geprüft werden kann, erhöht werden, wodurch die Kosten für die Prüfung reduziert wird, während die Effizienz der Prüfung erhöht wird.

Zweites Ausführungsbeispiel

Fig. 6 ist ein Blockschaltbild, das das Prinzip des Prüfens von IC entsprechend dem zweiten Ausführungsbeispiel zeigt, das mit Fig. 1 vergleichbar ist.

Wie in Fig. 6 gezeigt ist, unterscheidet sich das Verfahren des Prüfens von dem in Fig. 1 gezeigten Verfahren darin, daß zumindest ein Teil der logischen IC-Einheit 3 der IC 21, die zu prüfen ist, durch ein sogenanntes Abtastpfad- bzw. Prüfbusverfahren geprüft wird. Die zu prüfende IC 21 ist

neu mit Anschlußstiften P5 und P6 für ein Abtasteinsignal SI bzw. ein Abtastausignal SO vorgesehen. Ein Seriellmuster-
 generator 31 ist neu in dem IC-Prüfer 30 vorgesehen.

Der Seriellmuster-generator 31 wird durch den Computer 11 gesteuert, legt das Abtasteinsignal SI an die logische IC-Einheit 3 über den Anschlußstift P5 an, empfängt das Ab-
 tastaussignal SO, das von der logischen IC-Einheit 3 ausge-
 geben ist, bestimmt basierend auf den Signalen SI und SO, ob die logische IC-Einheit 3 fehlerhaft ist oder nicht, und
 legt das Ergebnis der Bestimmung an den Computer 11 an. Andere Strukturen und der Betrieb sind die gleichen wie die
 in dem Verfahren des Prüfens, das in Fig. 1 gezeigt ist, und
 die Beschreibung wird davon daher nicht wiederholt.

Fig. 7 zeigt detaillierter das Verfahren des Prüfens, das in
 Fig. 6 gezeigt ist und das dem in Fig. 3 entspricht. Der Prüfer 30' weist einen Ausgabeeanschluß T5 zum Ausgeben des
 Abtasteinsignales SI und einen Eingabanschluß T6 zum
 Empfangen des Abtastausgabesignales SO aus. Der An-
 schluß T5 ist gemeinsam für eine Mehrzahl von zu prüfenden IC 21 vorgesehen, während der Anschluß T6 in der glei-
 chen Zahl wie die Zahl der IC 21, die zu einer Zeit geprüft
 werden können, vorgesehen ist.

Der Seriellmuster-generator 31' legt das Abtasteinsignal SI
 an die Mehrzahl der IC 21 über den Anschluß T5 an und
 empfängt das Abtastaussignal SO von der Mehrzahl der IC
 21, die geprüft werden, über die Mehrzahl der Anschlüsse
 T6, bestimmt, ob die Mehrzahl der IC 21, die geprüft wer-
 den, fehlerhaft sind oder nicht, und legt einen Datenwert,
 der das Ergebnis der Bestimmung bezeichnet, an den Com-
 puter 11 an.

In dem vorliegenden Ausführungsbeispiel wird zumin-
 dest ein Teil der logischen IC-Einheit 3 der IC 21, die zu
 prüfen sind, durch den Prüfer 30' entsprechend dem Ab-
 tastpfadverfahren geprüft, und daher kann die Last auf die
 BIST-Schaltung 4 der zu prüfenden IC 21 reduziert werden,
 und daher kann die Struktur der BIST-Schaltung 4 vereinfacht werden.

In dem vorliegenden Ausführungsbeispiel wird zumin-
 dest ein Teil der logischen IC-Einheit 3 entsprechend dem
 Abtastpfadverfahren geprüft. Es muß nicht gesagt werden,
 daß die logische IC-Einheit 3 als ganzes entsprechend dem
 Abtastpfadverfahren geprüft werden kann. In diesem Fall
 kann die Struktur der BIST-Schaltung 4 weiter vereinfacht
 werden.

Patentansprüche

1. Halbleiterprüfungsgerät (10, 10', 30, 30') zum Prü-
 fen einer Halbleitervorrichtung (1, 21), die eine Spei-
 cherschaltung (2) und eine eingebaute Eigenprüfschal-
 tung (4) zum Prüfen der Speicherschaltung (2) enthält,
 mit
 einer Stromversorgung (12) zum Anlegen einer Strom-
 versorgungsspannung an die Halbleitervorrichtung (1,
 21),
 einer Anweisungsschaltung (13) zum Anweisen des
 Ausführens der Prüfung und des Ausgebens eines Da-
 tenwertes, der bezeichnend für das Prüfergebnis ist, an
 die eingebaute Eigenprüfschaltung (4) und
 einer Empfangsschaltung (11, 14, 14'), die den von der
 eingebauten Eigenprüfschaltung (4) ausgegebenen Da-
 tenwert empfängt.
2. Halbleiterprüfungsgerät nach Anspruch 1, bei dem
 die Halbleitervorrichtung (1, 21) weiter eine Logik-
 schaltung (3) enthält und
 die eingebaute Eigenprüfschaltung (4) zumindest einen
 Teil der Logikschaltung (3) prüft.
3. Halbleiterprüfungsgerät nach Anspruch 2, weiter

mit einer Prüfschaltung (31, 31') zum Prüfen des Ab-
 schnittes der Logikschaltung (3), der nicht durch die
 eingebaute Eigenprüfschaltung (4) geprüft wird.

4. Halbleiterprüfungsgerät nach einem der Ansprüche
 1 bis 3, weiter mit

einer Takterzeugungsschaltung (13) zum Anlegen ei-
 nes Taktsignales zum Erreichen eines Synchronisierens
 zwischen dem Halbleiterprüfungsgerät (10, 10', 30,
 30') und der Halbleitervorrichtung (1, 21) an die einge-
 baute Eigenprüfschaltung (4).

5. Halbleiterprüfungsgerät nach einem der Ansprüche
 1 bis 4, bei dem

die eingebaute Eigenprüfschaltung (4) den Datenwert n
 Bits um n Bits, wobei n eine ganze Zahl ist, die nicht
 kleiner als 1 ist, ausgibt,

wobei die Empfangsschaltung (11, 14, 14')

eine Seriell-Parallel-Umwandlungsschaltung (14) zum
 Erzeugen eines parallelen Datenwertes mit vorbe-
 stimmten n · m Bits, wobei m eine ganze Zahl ist, die
 nicht kleiner als 2 ist, von dem n Bits um n Bits von der
 eingebauten Eigenprüfschaltung (4) ausgegebenen Da-
 tenwert und

eine Speichereinrichtung (11), die den durch die Seri-
 ell-Parallel-Umwandlungsschaltung (14) erzeugten
 parallelen Datenwert speichert, enthält.

6. Halbleiterprüfungsgerät nach Anspruch 5, bei dem
 eine Mehrzahl von Halbleitervorrichtungen (1, 20)
 durch das Halbleiterprüfungsgerät (10, 10', 30, 30')
 gleichzeitig geprüft werden,

wobei die Seriell-Parallel-Umwandlungsschaltung
 (14) der Empfangsschaltung (11, 14, 14') entsprechend
 den entsprechenden Halbleitervorrichtungen (1, 21)
 vorgesehen ist und

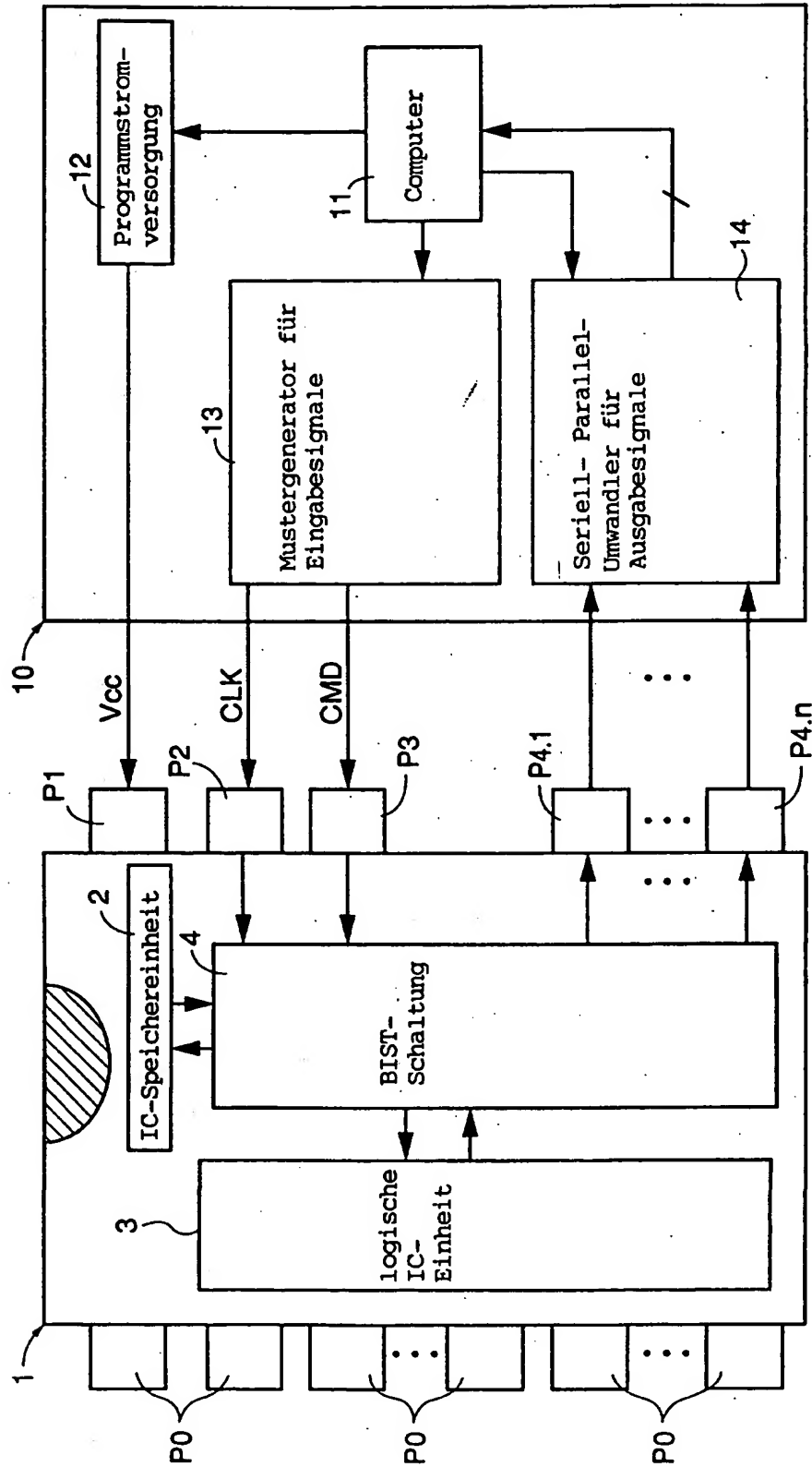
die Empfangsschaltung (11, 14, 14') weiterhin eine
 Pufferschaltung (15) enthält, die vorübergehend eine
 Mehrzahl von parallelen Datenwerten, die durch die
 Mehrzahl von den Seriell-Parallel-Umwandlungss-
 chaltungen (14) erzeugt sind, speichert und nachein-
 ander jeden der Mehrzahl von parallelen Datenwerten
 an die Speichereinrichtung (11) anlegt.

7. Halbleiterprüfungsgerät nach Anspruch 5, bei dem
 eine Mehrzahl von Halbleitervorrichtungen (1, 21)
 durch das Halbleiterprüfungsgerät (10', 30') gleichzei-
 tig geprüft werden, wobei die Seriell-Parallel-Um-
 wandlungsschaltung (16.1-16.n) der Empfangsschal-
 tung (11, 14, 14') entsprechend den entsprechenden
 Halbleitervorrichtungen (1, 21) vorgesehen ist und
 die Empfangsschaltung (11, 14, 14') weiterhin eine
 Umschalterschaltung (17) zum aufeinanderfolgenden
 Anlegen von jedem der Mehrzahl von parallelen Da-
 tenwerten, die durch die Mehrzahl der Seriell-Parallel-
 Umwandlungsschaltungen (16.1-16.n) erzeugt sind, an
 die Speichereinrichtung (11) aufweist.

Hierzu 8 Seite(n) Zeichnungen

- Leerseite -

FIG. 1



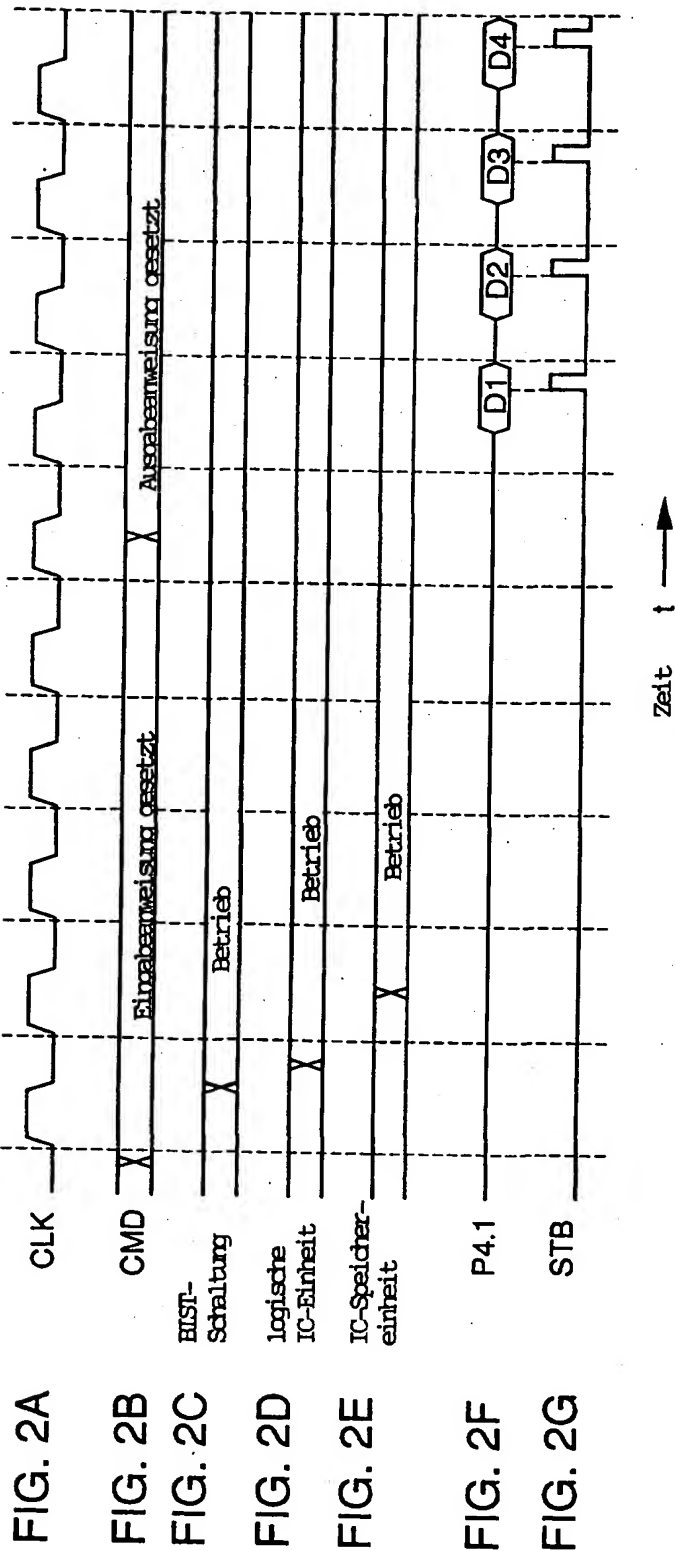


FIG. 3

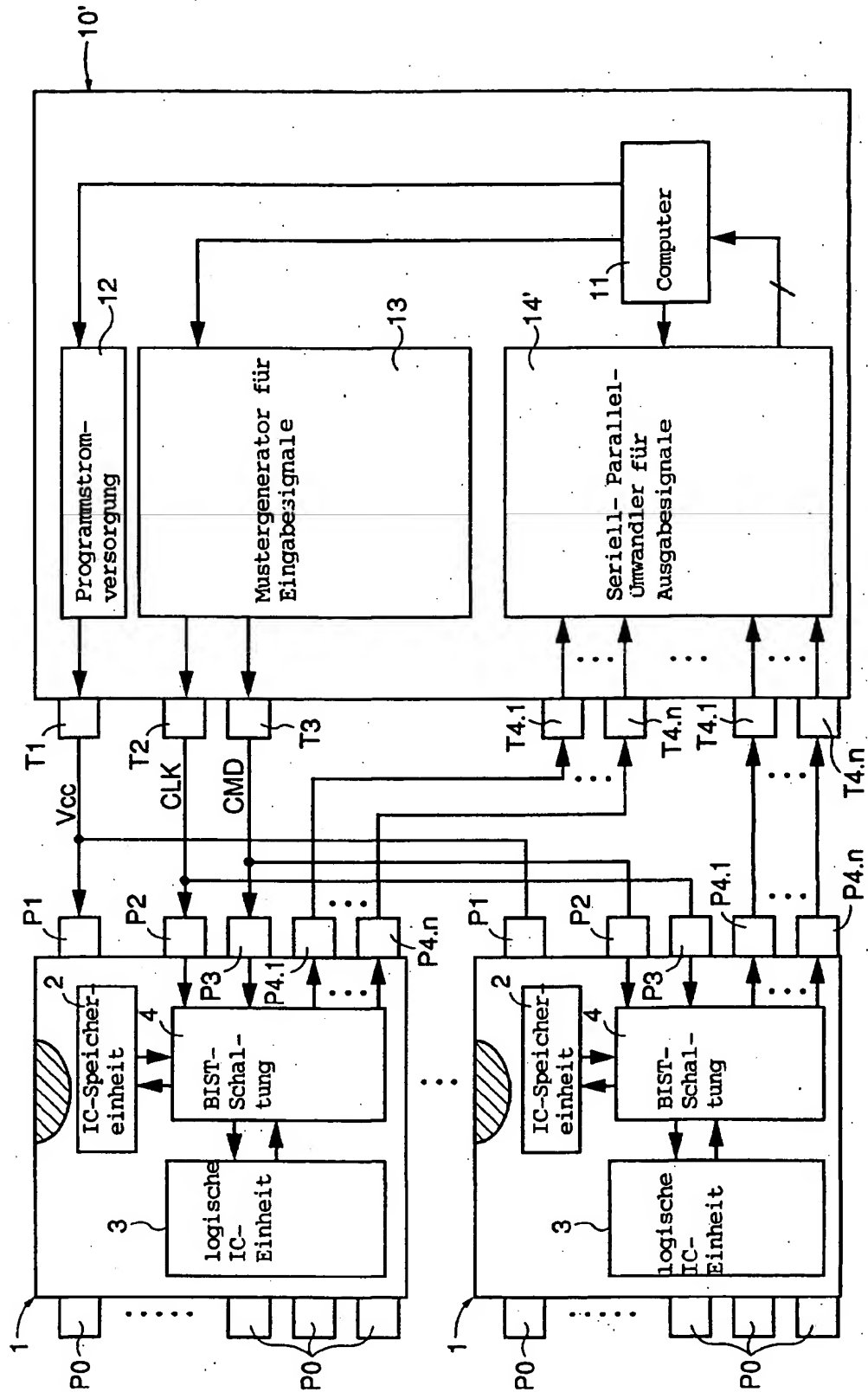


FIG. 4

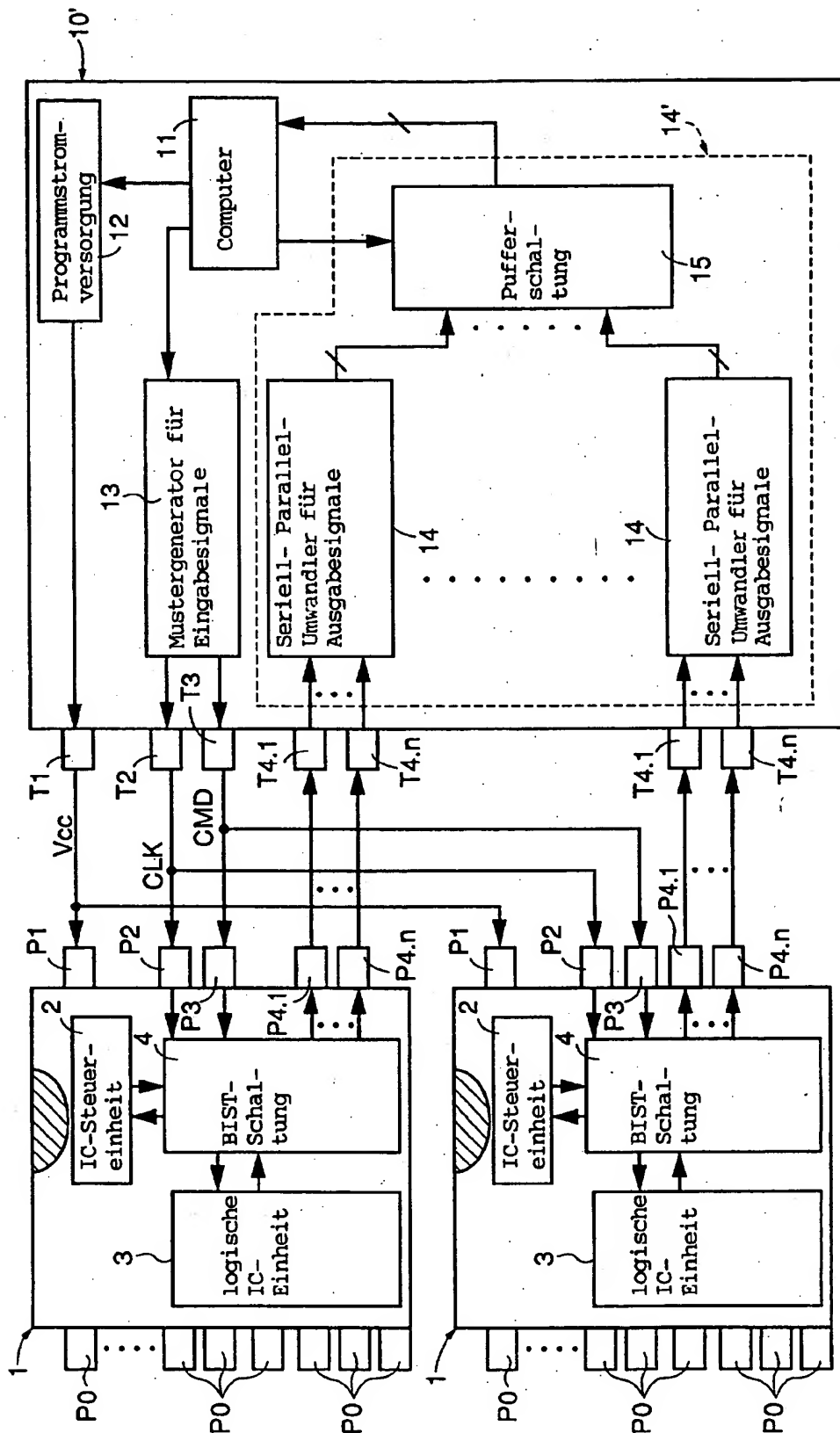


FIG. 5

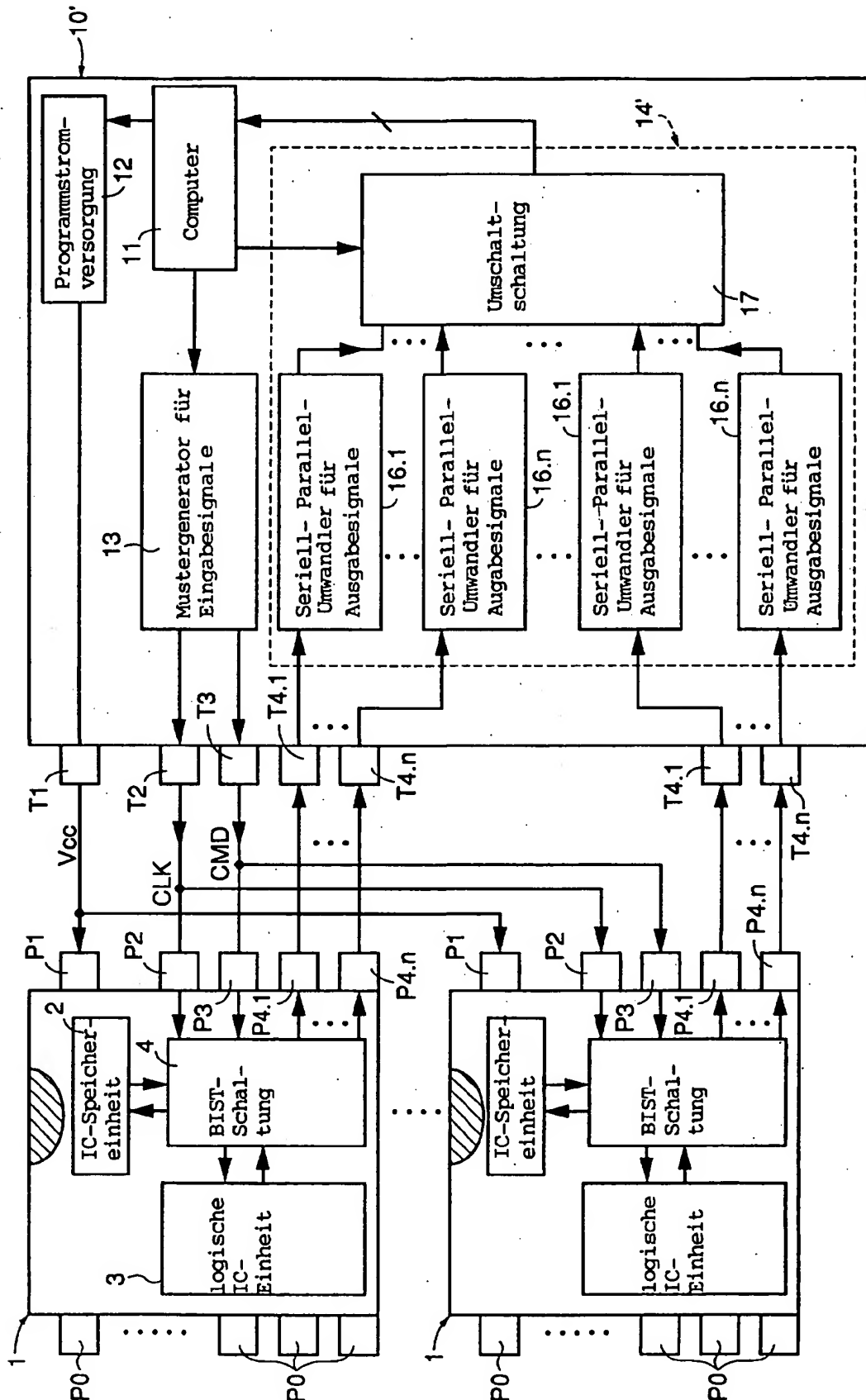


FIG. 6

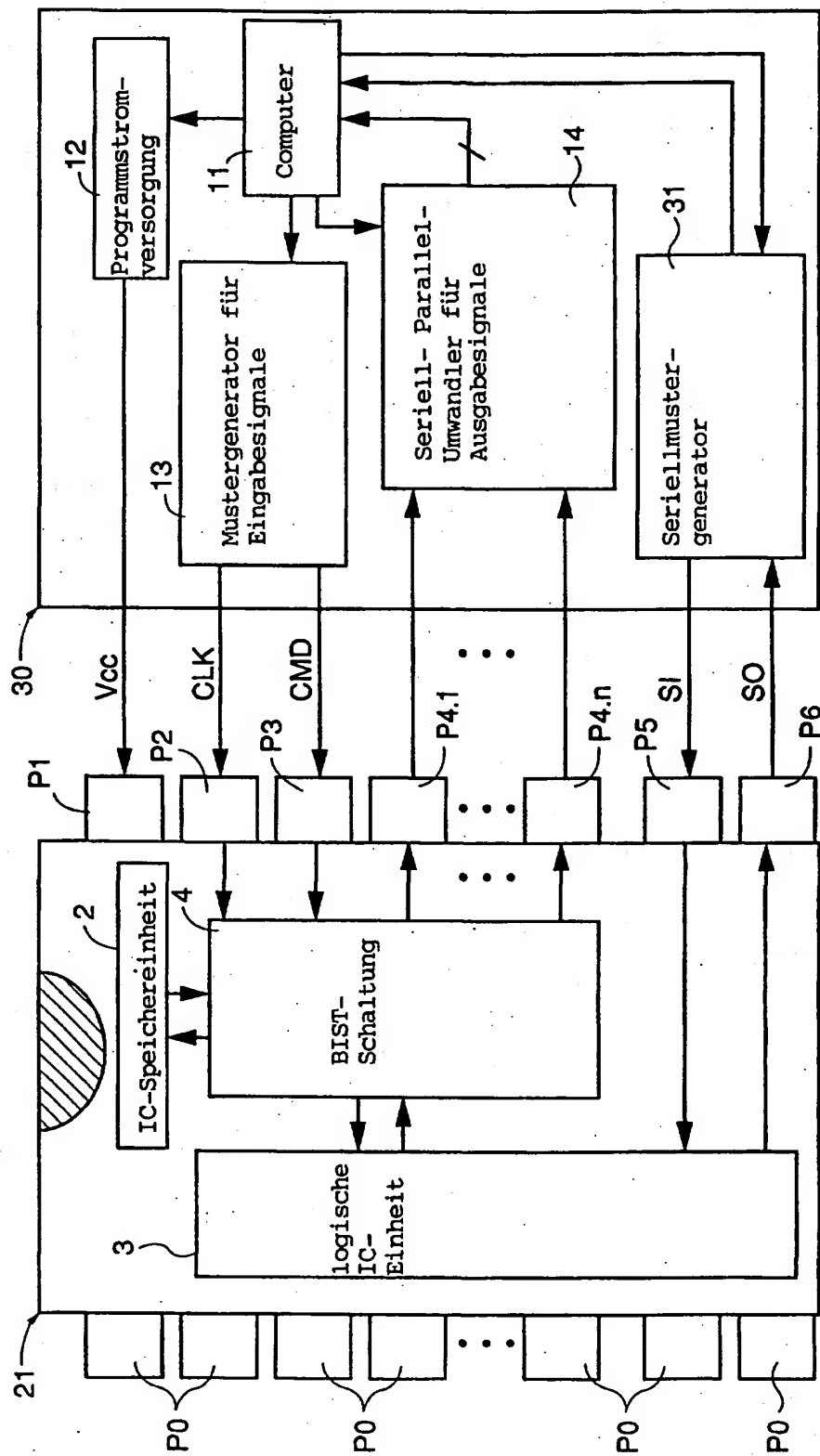


FIG. 7

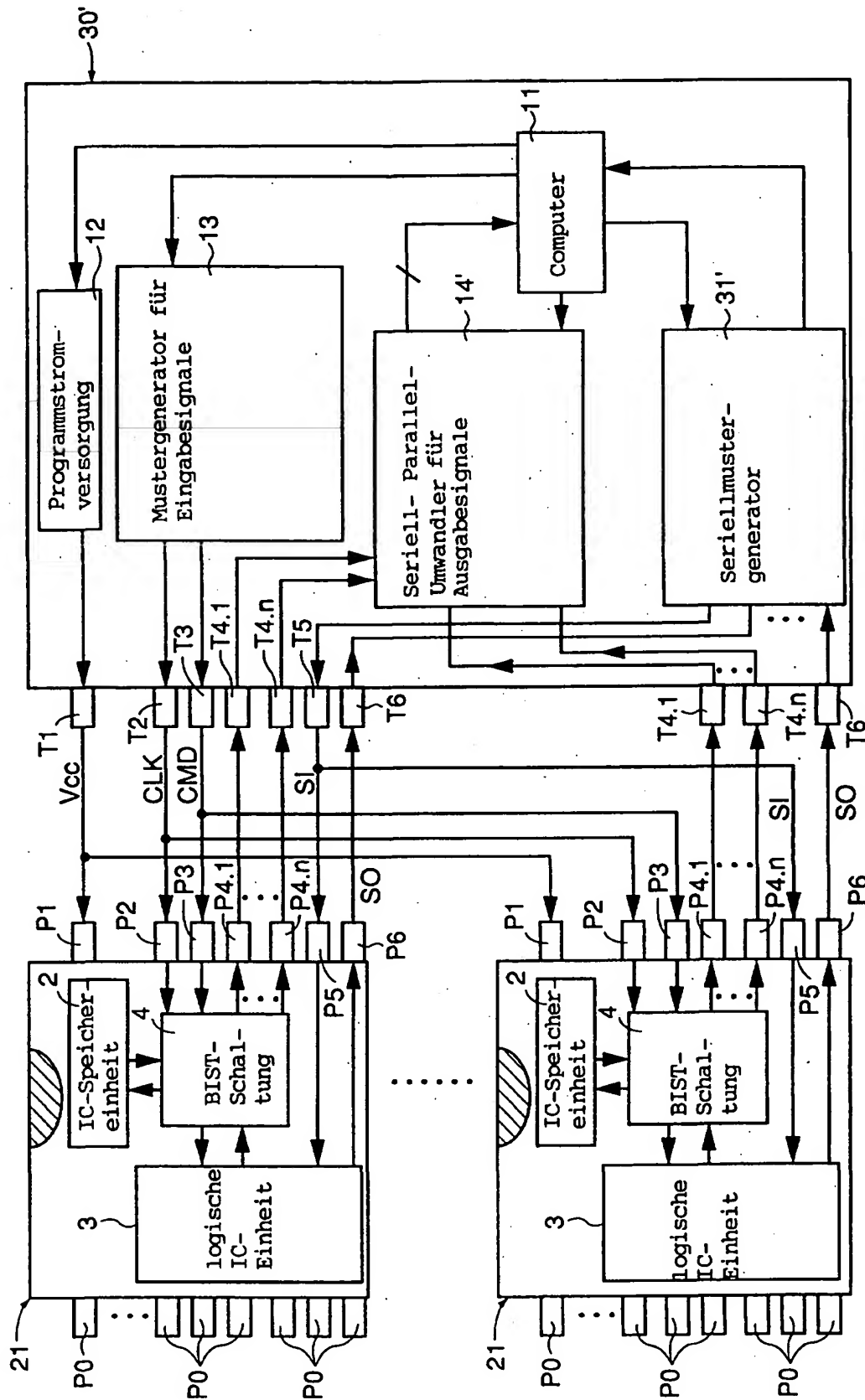


FIG. 8

